

Family list

1 family member for:
JP2003258226

Derived from 1 application.

1 RADIATION DETECTOR AND ITS FABRICATING METHOD

Publication info: **JP2003258226 A** - 2003-09-12

Data supplied from the **esp@cenet** database - Worldwide

Best Available Copy

RADIATION DETECTOR AND ITS FABRICATING METHOD

Patent number: JP2003258226
Publication date: 2003-09-12
Inventor: MOCHIZUKI CHIORI
Applicant: CANON KK
Classification:
 - International: G01T1/20; H01L21/336; H01L27/146; H01L29/786;
 H01L31/09; H04N5/32; H04N5/335; H01L31/10;
 G01T1/00; H01L21/02; H01L27/146; H01L29/66;
 H01L31/08; H04N5/32; H04N5/335; H01L31/10; (IPC1-
 7): H01L27/146; G01T1/20; H01L21/336; H01L29/786;
 H01L31/09; H01L31/10; H04N5/32; H04N5/335
 - European:
Application number: JP20020051481 20020227
Priority number(s): JP20020051481 20020227

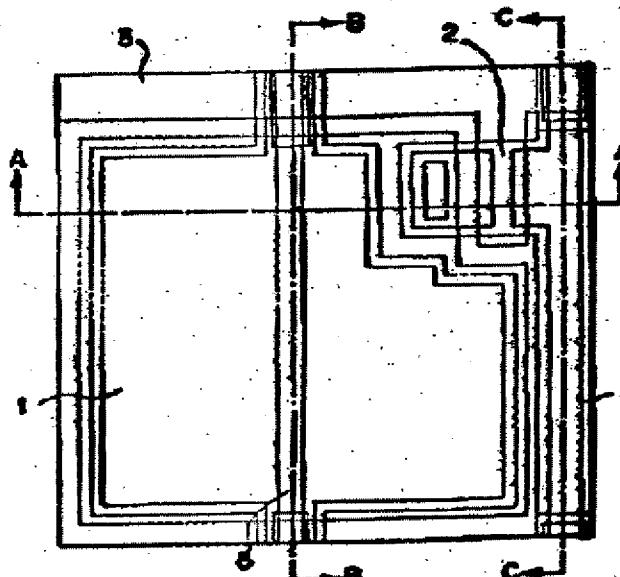
[Report a data error here](#)

Abstract of JP2003258226

PROBLEM TO BE SOLVED: To enhance sensitivity by enhancing the signal component and the noise components independently without having an effect on each other.

SOLUTION: With regard to the noise components, signal line noise and IC noise are reduced by employing a multilayer structure of a first insulation layer, a semiconductor layer, and a second insulation layer at the intersection of a signal line and a switch TFT drive line, thereby reducing parasitic capacitance at the intersection of wiring. With regard to the signal component, functions of an $n<SP>+</SP>$ film, i.e., the hole blocking function and electrode function, are separated to the $n<SP>+</SP>$ film and a transparent conductive film, respectively, in order to make thin the $n<SP>+</SP>$ film, thus enhancing the incidence efficiency of light. Furthermore, performance of both a signal conversion element and the switch TFT is enhanced by making thick the semiconductor layer at the photoelectric conversion part and making thin the semiconductor layer of the switch TFT thus enhancing the sensitivity.

COPYRIGHT: (C)2003,JPO



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-258226

(P 2003-258226 A)

(43) 公開日 平成15年9月12日(2003.9.12)

(51) Int.Cl.

H01L 27/146

G01T 1/20

H01L 21/336

29/786

識別記号

F I

G01T 1/20

H04N 5/32

5/335

H01L 27/146

マーク (参考)

E 2G088

G 4M118

SC024

U 5F049

C 5F088

審査請求 未請求 請求項の数 7 OL (全17頁) 最終頁に続く

(21) 出願番号

特願2002-51481 (P 2002-51481)

(22) 出願日

平成14年2月27日(2002.2.27)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 望月 千歳

東京都大田区下丸子3丁目30番2号 キヤ

ノン株式会社内

(74) 代理人 100065385

弁理士 山下 稔平

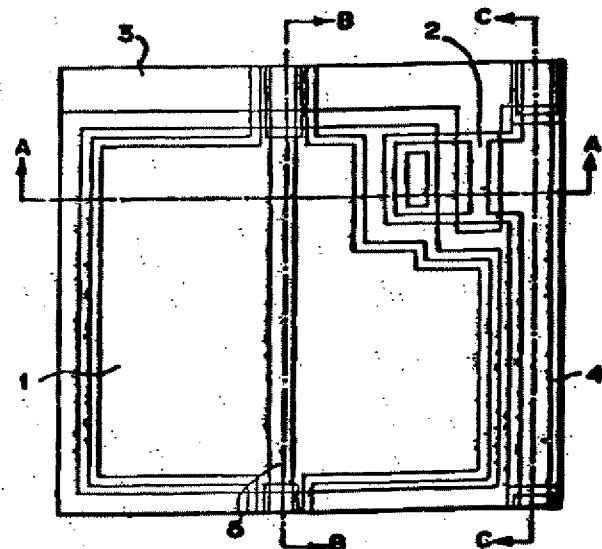
最終頁に続く

(54) 【発明の名称】放射線検出装置及びその製造方法

(57) 【要約】

【課題】 信号成分及びノイズ成分を夫々に影響を与えることなく、単独で向上させ、感度の向上を達成する。

【解決手段】 ノイズ成分においては、信号線とスイッチTFT駆動配線との配線交差部を第1の絶縁層、半導体層、第2の絶縁層の積層構造とすることにより、配線交差部で形成される寄生容量を低減し、信号線ノイズ、ICノイズを低減する。また、信号成分においては、n'膜の機能であるホールブロッキング機能と電極機能を、夫々、n'膜と透明導電膜に機能分離することにより、n'膜を薄膜化し、光入射効率を向上させる。また、光電変換素子部の半導体層を厚膜化し、一方、スイッチTFTの半導体層を薄膜化することにより、信号変換素子及びスイッチTFTの性能を共に向上させ、感度向上を達成する。



【特許請求の範囲】

【請求項1】 放射線信号を可視光に変換する蛍光体と、前記可視光を電気信号に変換する光電変換素子と、前記光電変換素子の信号を読み出すスイッチTFTとを有する放射線検出装置において、前記信号変換素子及びスイッチTFTは、夫々同一部材の電極層、第1の絶縁層、半導体層、オーミックコンタクト層で構成され、且つ、前記光電変換素子のバイアス配線と前記スイッチTFTの駆動配線の配線交差部、或いは、前記スイッチTFTの駆動配線と信号線の配線交差部は、少なくとも、前記第1の絶縁層、半導体層、第2の絶縁層を介して構成されており、前記光電変換素子の半導体層とスイッチTFTの少なくともソース・ドレイン電極部の半導体層は、異なる膜厚で構成されていることを特徴とする放射線検出装置。

【請求項2】 前記スイッチTFTのソース・ドレイン電極部の半導体層と、前記スイッチTFTのチャネル部の半導体層及び前記光電変換素子の半導体層は、異なる膜厚で構成されていることを特徴とする請求項1に記載の放射線検出装置。

【請求項3】 前記光電変換素子の半導体層の膜厚は、前記スイッチTFTのソース・ドレイン電極部の膜厚よりも厚く形成されていることを特徴とする請求項1に記載の放射線検出装置。

【請求項4】 前記スイッチTFTのチャネル部の半導体層及び前記光電変換素子の半導体層の膜厚は、前記スイッチTFTのソース・ドレイン電極部の半導体層の膜厚よりも厚く形成されていることを特徴とする請求項2に記載の放射線検出装置。

【請求項5】 放射線信号を可視光に変換する蛍光体と、前記可視光を電気信号に変換する光電変換素子と、前記光電変換素子の信号を読み出すスイッチTFTとを有する放射線検出装置の製造方法において、

(1) 絶縁基板上に第1の金属層により前記光電変換素子の下電極、前記スイッチTFTのゲート電極、前記スイッチTFTの感動配線を形成する工程と、

(2) 第1の絶縁層、半導体層、第2の絶縁層を順次積層する工程と、

(3) 前記光電変換素子部の第2の絶縁層を除去し、前記スイッチTFTの少なくともソース・ドレイン部の第2の絶縁層及び半導体層の一部を除去する工程と、

(4) n^+ 型半導体層を積層する工程と、

(5) 第2の金属層により前記光電変換素子のバイアス配線及び前記スイッチTFTのソース・ドレイン電極及び信号線を形成する工程と、を含むことを特徴とする放射線検出装置の製造方法。

【請求項6】 前記(3)の工程において、前記スイッチTFTの少なくともソース・ドレイン部の半導体層の除去厚みは、前記光電変換素子部のレジスト膜厚を薄膜化することで制御し、前記第2の絶縁層のみを除去する。

部分と、前記第2の絶縁層と前記半導体層の一部を除去する部分を同時に加工することを特徴とする請求項5に記載の放射線検出装置の製造方法。

【請求項7】 前記(5)の工程において、更に、前記光電変換素子部に透明電極を形成することを特徴とする請求項5に記載の放射線検出装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、IC、 γ 線等の放射線を用いた放射線検出装置及びその製造方法に因し、特に、医療画像診断装置、非破壊検査装置、放射線を用いた分析装置等に好適な放射線検出装置及びその製造方法に関するものである。

【0002】

【従来の技術】 液晶TFT技術の進歩、情報インフラの整備が充実した現在では、非晶質シリコン、例えば、非晶質シリコン(以下、a-Siと略記)を用いた光電変換素子とスイッチTFTにより構成されたセンサアレーと、放射線を可視光等に変換する蛍光体とを組み合せたフラットパネル検出器(以下、FPDと略記)が開発され、大面积で、且つ、直のデジタル化の可能性が開拓されている。

【0003】 このFPDは、放射線画像を瞬時に読み取り、瞬時にディスプレイ上に表示できるものであり、しかも、画像はデジタル情報として直接取り扱うことが可能であるため、データの保存、或いは加工、転送等取り扱いが便利であるといった特徴がある。また、感度等の諸特性は撮影条件に依存するが、従来のS/F系撮影法、CR撮影法に比較して、同等又はそれ以上であることが確認されている。

【0004】 図25は従来のFPDの模式的等価回路図を示す。図中、101は光電変換素子部、102は伝送用TFT部、103は転送用TFT駆動配線、104は信号線、105はバイアス配線、106は信号処理回路、107はTFT駆動回路、108はA/D変換部である。

【0005】 X線等の放射線は紙面上部より入射し、不図示の蛍光体により可視光に変換される。変換光は、光電変換素子部101により電荷に変換され、光電変換素子部101内に蓄積される。その後、TFT駆動回路107の駆動により転送用TFT駆動配線103を通じて転送用TFT部102を動作させる。これにより、この蓄積電荷は信号線104に伝送され、信号処理回路106で処理され、更に、A/D変換部108でA/D変換され出力される。

【0006】 基本的には、上述のような素子構成が一般的であり、特に、光電変換素子としてPIN型フォトダイオード(以下、PIN型PDと略記)、或MIS型フォトダイオード(以下、MIS型PDと略記)等様々な素子が用いられている。このMIS型PDは、本願記

明者等が特許第3,066,944号、USP 6,075,256等で提案しているものである。

【0007】図26は光電変換素子をMIS型PDとした場合の1画素の模式的平面図を示す。図中201はMIS型PD部の下電極、202はスイッチTFT駆動配線、203はスイッチTFTゲート電極、204はコンタクトホール、205はセンサバイアス配線、206は信号線、207はスイッチTFTのソース・ドレイン電極(以下、SD電極と略記)である。

【0008】また、図27は図26に示す1画素内の各素子を模式的に配列した場合の模式的断面図を示す。301はガラス基板、302はスイッチTFT駆動配線、303はMIS型PD下電極、304はスイッチTFTゲート電極、305はゲート絶縁膜、306は真性a-Si膜、307はホールブロッキング層、308はバイアス配線、309は転送TFT SD電極、310は信号線、312は保護膜、311は有機樹脂層、322は蛍光体層である。

【0009】なお、図27におけるMIS型PD下電極303、スイッチTFT駆動配線302、スイッチTFTゲート電極304、バイアス配線308、スイッチTFT SD電極309、信号線310は、図26におけるMIS型PD下電極201、スイッチTFT駆動配線202、スイッチTFTゲート電極203、バイアス配線205、スイッチTFT SD電極207、信号線206にそれぞれ対応する。

【0010】ここで、図26及び図27から明らかなるようにMIS型PDとスイッチTFTは構成が同一であるため、製造方法が簡便で、高歩留り、低価格を実現できる利点がある。しかも、感度等の諸特性も十分満足できるものと評価されており、現在、一般撮影に用いられる装置としては、従来のS/F法及びCR法に代わって、上述のFPDが採用されるに至っている。

【0011】

【発明が解決しようとする課題】ところで、上述のようなFPDにおいては、大面积で、且つ、完全デジタル化が実現可能で、薄く、一般撮影に主に使用され始めている状況であるが、感度といった点では、更なる向上が期待されている。また、透視撮影を可能とするためには、より一層の感度向上が必須と考えられている。

【0012】図28はMIS型PDを用いたFPDの1ピットの等価回路を示す。図中、C1はMIS型PDの合成容量、C2は信号線に形成される寄生容量、Vsはセンサバイアス電位、Vrはセンサリセット電位、SW1はMIS型PDのVs/Vr切り替えスイッチ、SW2は転送用TFT部のON/OFF切り替えスイッチ、SW3は信号線リセットスイッチ、Voutは出力電圧である。

【0013】MIS型PDにはバイアス電位として半導体層が空乏化する様にスイッチSW1により電位Vsが

与えられる。この状態で、蛍光体からの変換光が半導体層に入射すると、ホールブロッキング層で阻止された正電荷がa-Si層内に蓄積され、電位差Vtが発生する。その後、スイッチSW2よりスイッチTFTのON電圧が印加され、電圧Voutとして出力される。出力Voutは不図示の読出し回路(図25の信号処理回路106)により読み出され、その段スイッチSW3により信号線がリセットされる。

【0014】上述の駆動方法に従ってスイッチTFTを図25に示すライン毎に順次ONすることにより、1フレームの全読み出しが完了する。その後、スイッチSW1よりMIS型PDにリセット電位Vrを与え、リセットを行う。また、再度、同様にバイアス電位Vsを与え、画像読み取りの蓄積動作を行う。このようにして放射光を用いての画像が得られる。

【0015】MIS型PDの出力Voutの飽和電圧、換算電位Vtに比例する。電位Vtはバイアス電圧Vs-Vrと内部Gain Gの積により決まる。内部Gain Gは、 $C_{in}/(C_{in}+C_{out})$ で求められる。出力電圧Voutは、換算電位Vtに対しC1/C2容意比で出力される。また、MIS型PDの感度は、光入射状態での上述の飽和出力電圧、即ち、信号成分と、暗状態での出力電圧、即ち、ノイズ成分の比で表される。

【0016】信号成分は、一般的に、(1) PD開口率、(2) PD光入射効率、言い換えれば、真性a-Si膜内に入射する光量、更に、(3) 内部Gainに依存する。一方、ノイズ成分は以下に示す様々なノイズが確認されている。

【0017】センサ開口率の平方根に比例するショットノイズ

C1容量の平方根に比例するETCノイズ

信号線ノイズ(配線抵抗の平方根及びC2容量に比例する記憶ノイズ)

C2容量に比例するTCノイズ

ゲート配線ノイズ(配線抵抗の平方根に比例する記憶ノイズ)

通常、感度向上を達成するためには、当該のことながら、信号成分を増大させるか、又は、ノイズ成分を減少させるか、又は、それらを同時に達成される必要がある。しかし、信号成分とノイズ成分は相互に関係しており、前者を改善した結果、後者に影響を及ぼし、即ち、感度改善には至らない場合が多い。

【0018】例えば、信号成分を改善するために、上述の(1) PD開口率を向上させる場合、配線に付いは、配線間のスペースをシーリングして、実現することが考えられるが、逆に、微細化に付い、配線抵抗、又いは、信号線の寄生容量が増大し、ノイズ成分が増大する結果となる。即ち、信号成分は改善されるが、ノイズ成分は増加することになり、感度低下を引き起こす場合が

ある。更に、微細化により配線ルールが厳しくなるため、歩留り低下等の生産性を低下させることになる。

【0019】また、上述の(2)PDへの光入射効率においても、光電変換層であるa-Si膜に接合されているオーミックコンタクト層は、キャリアプロッキング層としての機能と上部電極としての機能を有しており、光吸收を無視できない500Å程度以上の膜厚が必要となる。その結果、n'膜での光吸收が感度低下を引き起こす。当然、n'膜の薄膜化を実施した場合、逆に、n'膜の抵抗が大きくなり、PD上部電極として機能しない結果となる。

【0020】更に、上述の(3)内部GaNを向上させる場合、a-Si膜の厚膜化、或いは、ゲートSiN膜の薄膜化を実施する必要がある。しかし、a-Si膜の厚膜化は、一方でスイッチTFTの転送能力の低下を引き起こし、その結果、TFTサイズの増大、開口率の低下となる。また、その応力、異物発生等、生産上の問題においても限度がある。また、SiN膜の薄膜化は、配線交差部等での絶縁耐圧を考慮すると同様に限度があり、仮に、薄膜化が達成できたとしても、寄生容量C2の増大によりノイズ成分が増加し、自立した感度向上は達成できない。

【0021】一方、ノイズ低減に着目して、ゲート配線抵抗を低減する場合、ゲート配線の厚膜化、或いは、幅広化が必要であるが、前者は配線交差部での絶縁耐圧の低下を引き起こし、後者は開口率の低下を引き起こす。また、信号線の配線抵抗を低減する場合、信号線の厚膜化、或いは、幅広化が必要であるが、前者は応力の増大により生産設備上限度があるばかりか、加工上の問題から厚膜化は限度がある。また、後者は上述と同様に開口率の低下を引き起こす。

【0022】以上の説明から明らかなように、現行の構成では、設計において感度は最適化することは可能であるが、感度の向上には限界があった。そのため、より一層の感度を向上するには、根本的な構成、或いは製造プロセスの改良が必要であった。

【0023】本発明は、上記従来の問題点に絞みなされたもので、その目的は、信号成分、ノイズ成分を夫々に影響を与えることなく改善でき、より感度を向上することが可能な放射線検出装置及びその製造方法を提供することにある。

【0024】

【課題を解決するための手段】本発明は、上記目的を達成するため、放射線信号を可視光に変換する蛍光体と、前記可視光を電気信号に変換する光電変換素子と、前記光電変換素子の信号を読み出すスイッチTFTとを有する放射線検出装置において、前記信号変換素子及びスイッチTFTは、夫々同一部材の電極層、第1の絶縁層、半導体層、オーミックコンタクト層で構成され、且つ、前記光電変換素子のバイアス配線と前記スイッチTFT

の駆動配線の配線交差部、或いは、前記スイッチTFTの駆動配線と信号線の配線交差部は、少なくとも、前記第1の絶縁層、半導体層、第2の絶縁層を介して構成されており、前記信号変換素子の半導体層とスイッチTFTの少なくともソース・ドレイン電極部の半導体層は、異なる膜厚で構成されていることを特徴とする。

【0025】また、本発明は、放射線信号を可視光に変換する蛍光体と、前記可視光を電気信号に変換する光電変換素子と、前記光電変換素子の信号を読み出すスイッチTFTとを有する放射線検出装置の製造方法において、(1)絶縁基板上に第1の金属層により前記光電変換素子の下電極、前記スイッチTFTのゲート電極、前記スイッチTFTの駆動配線を形成する工程と、(2)第1の絶縁層、半導体層、第2の絶縁層を順次積層する工程と、(3)前記光電変換素子部の第2の絶縁層を除去し、前記スイッチTFTの少なくともソース・ドレン部の第2の絶縁層及び半導体層の一部を除去する工程と、(4)n'型半導体層を積層する工程と、(5)第2の金属層により前記光電変換素子のバイアス配線及び前記スイッチTFTのソース・ドレン電極及び信号線を形成する工程と、を含むことを特徴とする。

【0026】本発明では、ノイズ成分において、信号線とスイッチTFT駆動配線との配線交差部を第1の絶縁層、半導体層、第2の絶縁層の積層構造とすることにより、配線交差部で形成される寄生容量C2を低減でき、信号線ノイズ、ICノイズを低減することができる。又に、信号成分において、n'膜の機能であるホールプロッキング機能と電極機能を、夫々、n+膜と透明導電膜に機能分離することにより、n'膜を薄膜化し、光入射効率を向上することが可能となる。また、信号変換素子部の半導体層を厚膜化し、一方、スイッチTFTの半導体層を薄膜化することにより、信号変換素子及びスイッチTFTの性能を共に向上させ、感度の向上を達成できる。

【0027】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0028】(第1の実施形態)図1は本発明のMIS型PDを用いた放射線検出装置の第1の実施形態を示す模式的平面図である。なお、図1では1画素の構成を示す。また、ここでは、放射口としてX線を用いているが、a線、γ線等を用いてもよい。これは、以下の実施形態でも同様である。図1において、1はMIS型PD部、2はスイッチTFT部、3はスイッチTFT駆動配線、4は信号線、5はバイアス配線である。

【0029】ここで、図1では1画素の構成を示しているが、実際には、図25に示すように図1の画素が2次元に複数配列され、且つ、図25と同様にTFT駆動配線103、信号線104、バイアス配線105、信号処理回路106、TFT駆動回路107、A/D変換回路1

08、後述する放射線を可視光に変換する蛍光体等を用いて放射線検出装置が構成される。これは、以下の実施形態でも同様である。なお、図1における1画素の等価回路は図28と同様であり、これは以下の実施形態でも同様である。

【0030】X線は上述の蛍光体(図示せず)により可視光に変換され、MIS型PD部1に入射する。入射光はMIS型PD部1で光電変換され、PD部1内に蓄積される。その後、スイッチTFT駆動配線3からON電圧が印加され、スイッチTFT部2をON状態とすることにより信号線4を介して出力電圧が読み出される。その後、バイアス配線5からリセット電圧がMIS型PD部1に印加され、PD部1に蓄積された電荷をリセットする。

【0031】図2は図1のA-A線における模式的断面図、図3は図1のB-B線における模式的断面図、図4は図1のC-C線における模式的断面図を示す。図中10はガラス基板(絶縁基板)、11はMIS型PDの下電極、12はスイッチTFTゲート電極、13はスイッチTFT駆動配線、14は第1の絶縁膜、15は半導体膜、16は第2の絶縁膜、17はオーミックコンタクト膜、18はコンタクトホール、19はバイアス配線、20は信号線、21はスイッチTFT SD電極、30は保護膜、31は有機樹脂膜、32は蛍光体層である。なお、図2～図4におけるスイッチTFT駆動配線13、バイアス配線19、信号線20は、図1におけるスイッチTFT駆動配線3、バイアス配線5、信号線4にそれぞれ対応する。

【0032】ここで、図1～図4から明らかなようにスイッチTFT駆動配線13とバイアス配線19との交差部、及びスイッチTFT駆動配線13と信号線20との交差部は、第1の絶縁膜14、半導体膜15、第2の絶縁膜16を介して構成されている。この結果、信号線の寄生容量を低減することができる。本願発明者の実験によれば、信号線の寄生容量であるC2容量を15～20%程度低減できることを確認した。また、寄生容量を低減できるので、ICノイズ、信号線ノイズを単独で改善することができる。更に、ゲート線の寄生容量に起因すると考えられているクロストークも同様に低減することが可能である。

【0033】また、図2に示すようにスイッチTFT部2の半導体膜15、特に、スイッチTFT SD電極21下の半導体膜15が薄膜化されているため、従来、スイッチTFT SD電極下に形成される直列抵抗がON抵抗を増大させていたが、スイッチTFT SD電極21下の半導体膜15を薄膜化することにより、TFT伝送能力を向上させ、小型TFTを実現することが可能である。概略ではあるが、W/Lで半分に縮小可能である。このことは、PD部の開口率を向上させ、一方、光電変換素子の半導体層を厚膜化できるため、信号成分を

大きく改善できる。

【0034】次に、本実施形態の製造方法を図2～図4、図5(a)～図5(d)、図6(a)～図6(c)を参照して説明する。なお、図5、図6は1画素の構成を示す。本実施形態では以下の工程で製造を行う。

【0035】(1)まず、ガラス基板10上に第1の金属層として、Al-Nd薄膜2500Å、Mo薄膜300Åの積層膜をスパッターラジにより成膜する。

【0036】(2)ウエットエッティングを用いたフォトリソグラフィー法によりスイッチTFT駆動配線13、スイッチTFTのゲート電極12、及びMIS型PD部1の下電極11をパターン形成する。図5(a)はこの場合の模式的平面図を示す。

【0037】(3)第1の絶縁膜14としてSiN膜、半導体膜15としてa-Si膜、第2の絶縁膜16としてSiN膜をプラズマCVD装置により、それぞれ250Å、8000Å、2000Å成膜する(図2～図4D図)。

【0038】(4)次に、RIE或いはCDEを用いたフォトリソグラフィー法により、スイッチTFT駆動配線13とバイアス配線19の交差部42、及びMIS型PD部1の下電極11とバイアス配線19の交差部43、及び信号線20とスイッチTFT駆動配線13の交差部45以外の第2の絶縁膜16を除去する。また、コンタクトホール18の第2の絶縁膜も除去される。図5(b)はこの場合の模式的平面図を示す。

【0039】(5)RIE或いはCDEを用いたフォトリソグラフィー法により、スイッチTFT SD電極21を包括した島状領域48の半導体膜15を5000Å程度除去する。図5(c)はこの場合の模式的平面図を示す。

【0040】この場合、(4)の工程と(5)の工程を入れ替える事も可能である。このように工程を入れ替えると、最初の(5)の工程では島状領域48の第2の絶縁膜16を除去し、次の(4)の工程で各交差部42、43、45以外の第2の絶縁膜16と島状領域48のa-Si膜(半導体膜)を除去する事になる。

【0041】(6)オーミックコンタクト膜17としてn'膜をプラズマCVD装置により1000Å成膜する。

【0042】(7)RIE或いはCDEを用いたフォトリソグラフィー法によりコンタクトホール18を形成する。図5(d)はこの場合の模式的平面図を示す。この時、コンタクトホール18は、良好なテーパー形状を実現するため、(4)の工程で第2の絶縁膜を除去し、

(5)の工程でa-Si膜の一部を除去し、第1の絶縁膜14、薄膜化されたa-Si膜、n'膜をエッティングする構成としている。

【0043】(8)第2の金属層として、Mo薄膜500Å、Al薄膜1μm、Mo薄膜300Åをスパッターラジにより成膜する。

装置により成膜する。

【0044】(9) ウエットエッチングを用いたフォトリソグラフィー法により、バイアス配線19をパターン形成する。図6(a)はこの場合の模式的平面図を示す。この時、レジストパターンは、同時にスイッチTFT・SD電極21、及び信号線20が形成される領域は夫々のパターンを包括する島状領域46として残す。

【0045】(10) 再度、ウエットエッチングを用いたフォトリソグラフィー法によりスイッチTFT・SD電極21、信号線20をパターン形成する。引き放して、同一レジストパターンでRIEを用いてn'膜を除去する。図6(b)はこの場合の模式的平面図を示す。この時、レジストパターンは同時にMIS型PD部の上電極となる領域、及びバイアス線19を包括する領域を島状領域47として残す。なお、(9)の工程と(10)の工程は入れ替えが可能である。

【0046】(11) RIE或いはCDEを用いたフォトリソグラフィー法により第1の絶縁膜14、a-Si膜を除去し、素子間分離を行う。図6(c)はこの場合の模式的平面図を示す。この時、第1の絶縁膜14は必ずしも除去する必要はなく、a-Si膜のみを除去するだけでも十分である。また、この素子間分離に関して、第1の絶縁膜14、a-Si膜を一括して除去する様にMIS型PD部の上部電極となるn'膜パターンを素子間分離領域内に配置しているが、第1の絶縁膜14、a-Si膜、n'膜を一括して除去することも、上述の(10)の工程において島状領域47を素子間分離領域外に配置することで可能である。

【0047】(12) 保護層30として、SiN膜2500ÅをプラズマCVD装置により成膜する。

【0048】(13) RIE或いはCDEを用いたフォトリソグラフィー法により、配線引き出し部等を露出させる。

【0049】(14) 蛍光体層32を有機樹脂31等で張り合わせる。以上により、本実施形態の放射線検出装置が完成する。

【0050】(第2の実施形態) 次に、本発明の第2の実施形態について説明する。第2の実施形態は、第1の実施形態の製造方法を簡略化したものである。具体的には、第1の実施形態の(4)の工程と(5)の工程を同時に処理することにより、製造工程を簡略化するものである。なお、放射線検出装置の構成は図1～図4の第1の実施形態と同様である。以下、本実施形態の製造方法について説明する。

【0051】まず、(1)の工程から(3)の工程は第1の実施形態と同様である。その後、RIE或いはCDEを用いたフォトリソグラフィー法によりスイッチTFT駆動配線13とバイアス配線19の交差部42、及びMIS型PD部の下電極11とバイアス配線19の交差部43、及び信号線20とスイッチTFT駆動配線13

交差部45以外の第2の絶縁膜16を除去すると共に、スイッチTFT・SD電極21を包括した島状領域48の半導体層15を5000Å程度除去する。

【0052】図7はこの場合の1画素の模式的平面図、図8は図7のA-A線における模式的断面を示す。特に、図8はRIE或いはCDE加工時の様子を示す。図中、51はレジストである。レジスト51としてはハーフトーンマスク或いはそれに類似したマスクが用いられ、膜厚T1、T2部を形成する。ドライエッチング中にレジスト51がT2分の膜剥りを起こすと、該当部分がエッチングされ始める。

【0053】即ち、膜厚T2部の第2の絶縁膜16を除去する間に、レジスト開口部はT2膜減り相当の時間でa-Si層がエッチングされる事になる。そこで、T2膜厚をエッチング条件に合わせて選択する事により、所定のa-Si層の除去膜厚を設計できる。その點、図1の実施形態の(6)の工程に戻り、以降は第1の実施形態と同様の処理を行う。この結果、第1の実施形態の(4)の工程と(5)の工程が一括処理で実現可能となり、工程数を削減でき、それに伴い歩留りを向上できるので、低価格化をも実現できる。

【0054】(第3の実施形態) 次に、本発明の第3の実施形態について説明する。第3の実施形態では、更に、感度を向上することが可能な放射線検出装置の形態について説明する。図9は本実施形態の模式的平面図である。図9は1画素の構成を示す。図中1はMIS型PD部、2はスイッチTFT部、3はスイッチTFTの駆動配線、4は信号□、5はバイアス配線である。

【0055】図10は図9のA-A線における模式的断面図を示す。図中10はガラス基板(絶縁基板)、11はMIS型PD部1の下電極、12はスイッチTFTのゲート電極、14は第1の絶縁膜、15は半導体□、17はオーミックコンタクト□、18はコンタクトホール、19はバイアス配線、20は信号□、21はスイッチTFT・SD電極、22は透明導電膜、30は保護膜、31は有機樹脂□、32は蛍光体層である。なお、図10におけるバイアス配線19、信号線20及び、図9におけるバイアス配線5、信号線4にそれぞれ対応する。

【0056】ここで、本実施形態では、スイッチTFT駆動配線13とバイアス配線19との交差部、及びスイッチTFT駆動配線13と信号線20との交差部は、図1の実施形態と同様に第1の絶縁膜14、半導体層15、第2の絶縁膜16を介して構成されている。この結果、信号線の寄生容量であるC2を15～20%程度低減することができる、ICノイズ、信号ノイズを卓然で低減できる。

【0057】また、透明導電膜22をオーミックコンタクト層17上に形成しているので、オーミックコンタクト層17の機能であるホールプロッキング機能と電極

能を、夫々、 n' 膜と透明導電膜22に機能分離することができ、 n' 膜を薄膜化することが可能である。そのため、オーミックコンタクト層17での光吸収を低減でき、信号成分の10%以上の向上、即ち、感度の向上を達成することができる。

【0058】また、スイッチTFT部2の半導体層15、特にスイッチTFT SD電極21下の半導体層15が薄膜化されているため、従来、スイッチTFT SD電極下に形成される直列抵抗がON抵抗を増大させいたが、スイッチTFT SD電極下の半導体層15を薄膜化することによりTFT転送能力が向上し、小型TFTの実現が可能となる。概略ではあるが、スイッチTFTをW/Lで半分に縮小可能である。このことは、PD部の開口率を向上させ、一方、信号変換素子の半導体層15を厚膜化できるため、信号成分を大きく改善できる。

【0059】次に、本実施形態の製造方法を図10～図11、図5～図6を参照して説明する。本実施形態では、以下の工程で製造を行う。

【0060】(1) まず、ガラス基板10上に第1の金属層として、Al-Nd薄膜2500Å、Mo薄膜300Åの積層膜をスパッターリソグラフィー法により成膜する。

【0061】(2) ウエットエッティングを用いたフォトリソグラフィー法により、スイッチTFT駆動用配線13、スイッチTFTゲート電極12、及びMIS型PD部の下電極11をパターン形成する(図5(a)参照)。

【0062】(3) 第1の絶縁膜14としてSiN層、半導体層15としてa-Si膜、第2の絶縁膜16としてSiN層をプラズマCVD装置により夫々2500Å、8000Å、2000Å成膜する。

【0063】(4) RIE或いはCDEを用いたフォトリソグラフィー法によりスイッチTFT駆動配線13とバイアス配線19の交差部42、及びMIS型PDの下電極21とバイアス配線19の交差部43、及び信号線20とスイッチTFT駆動配線13の交差部45以外の第2の絶縁膜16を除去する(図5(b)参照)。

【0064】(5) RIE或いはCDEを用いたフォトリソグラフィー法によりスイッチTFT SD電極21を包括した島状領域48の半導体層15を5000Å程度除去する(図5(c)参照)。この場合、(4)の工程と(5)の工程を入れ替えてよい。このように工程を入れ替えると、最初の(5)の工程では島状領域48の第2の絶縁膜を除去し、次の(4)の工程で各交差部42、43、45以外の第2の絶縁膜と島状領域48のa-Si層を除去する事になる。

【0065】(6) オーミックコンタクト層17として、 n' 層をプラズマCVD装置により300Å成膜する。

【0066】(7) RIE或いはCDEを用いたフォトリソグラフィー法によりコンタクトホール18を形成す

10

る(図5(d)参照)。この時、コンタクトホール18は、良好なテーパー形状を実現するため、(4)の工程で第2の絶縁膜を除去し、(5)の工程でa-Si層の一部を除去し、第1の絶縁膜、薄膜化されたa-Si層、 n' 層をエッティングする構成としている。

【0067】(8) 第2の金属層として、Mo薄膜500Å、Al薄膜1μm、Mo薄膜300Åをスパッターリソグラフィー法によりバイアス配線19をパターン形成する(図6(a)参照)。この時、レジストパターンは、同時にスイッチTFTのSD電極21、及び信号線20が形成される領域は、夫々のパターンを包括する島状領域46として置す。

【0068】(9) ウエットエッティングを用いたフォトリソグラフィー法によりバイアス配線19をパターン形成する(図6(a)参照)。この時、レジストパターンは、同時にスイッチTFTのSD電極21、及び信号線20が形成される領域は、夫々のパターンを包括する島状領域46として置す。

【0069】(10) MIS型PD部の上部電極として、ITO薄膜400Åをスパッターリソグラフィー法により成膜する。

【0070】(11) ウエットエッティングを用いたフォトリソグラフィー法によりMIS型PD部の透明導電膜(上部電極)22を形成する。図11はこの場合の1□窓の模式的平面図を示す。

【0071】(12) 再度、ウエットエッティングを用いたフォトリソグラフィー法によりスイッチTFT SD電極21、信号線20をパターン形成する。引き続いて、同一レジストパターンでRIEを用いて n' 膜を除去する(図6(b)参照)。この時、レジストパターンは、同時にMIS型PDの上電極となる領域、及びバイアス線19を包括する領域を島状領域47として置す。

【0072】(13) RIE或いはCDEを用いたフォトリソグラフィー法により、第1の絶縁膜、a-Si層を除去し、素子間分離を行う(図6(c)参照)。この時、第1の絶縁膜は必ずしも除去する必要はなく、a-Si膜のみを除去するだけでも十分である。また、この素子間分離に因して、第1の絶縁膜、a-Si層を一括して除去する様にMIS型PD部の上部電極となる n' 膜パターンを素子間分離領域内に配置しているが、第1の絶縁膜、a-Si層、 n' 層を一括して除去することも、上述の(10)の工程において、島状領域47を素子間分離領域外に配置することで可能である。

【0073】(14) 保護膜30として、SiN層2500ÅをプラズマCVD装置により成膜する。

【0074】(15) RIE或いはCDEを用いたフォトリソグラフィー法により、配線引き出し部等を露出させる。

【0075】(16) 金属性32を接着剤(有機樹脂31)等で張り合わせる。以上により本実施形態の放電線検出装置が完成する。

【0076】なお、本実施形態の製造方法は、以下のような様々な変形が可能である。例えば、(9)の工程に引き続いて(12)の工程、(10)の工程、(11)

50

の工程の順に入れ替えることが原理的に可能である。また、この際、上述の順序において(9)の工程と(1-2)の工程を入れ替えることも可能である。

【0077】更に、(7)の工程に引き続いて(10)の工程、(11)の工程、(8)の工程、(9)の工程、(12)の工程の順にも入れ替えることもでき、この時、同様に(9)工程と(1-2)の工程を入れ替えることも可能である。また、(6)の工程に引き続いて(10)の工程、(11)の工程、更に(7)の工程、(8)の工程、(9)の工程、(12)の工程の順に入れ替えることもでき、この時、同様に(9)の工程と(12)の工程を入れ替えることも可能である。

【0078】また、(8)の工程に引き続いて(9)の工程のバイアス配線19の形成と、(12)の工程のスイッチTFT-SD電極21の形成、信号線20の形成を一度に行い、その後、スイッチTFTのチャネル部のn'膜を除去し、その後、(10)の工程と(11)の工程を流動させる事により同様に製造可能である。この時、(10)の工程、(11)の工程は、(8)の工程の前に処理する事も可能である。

【0079】上述の様に本実施形態は、製造装置及び製造プロセスの個性を考慮して、工程入れ替え等の変更が可能である。

【0080】(第4の実施形態)次に、本発明の第4の実施形態について説明する。第4の本実施形態では、更に、感度向上を実現するM.I.S型PDを用いた放電線検出装置について説明する。図12は本実施形態の模式的平面図である。図12は1画素の構成を示す。図中1はM.I.S型PD部、2はスイッチTFT部、3はスイッチTFTの駆動配線、4は信号線、5はバイアス配線である。

【0081】図13は図12のA-A線における模式的断面図、図14は図1のB-B線における模式的断面図、図15は図1のC-C線における模式的断面図を示す。図中10はガラス基板(絶縁基板)、11はM.I.S型PD部の下電極、12はスイッチTFTゲート電極、13はスイッチTFT駆動配線、14は第1の絶縁膜、15は半導体層、16は第2の絶縁膜、17はオーミックコンタクト部、18はコンタクトホール、19はバイアス配線、20は信号線、21はスイッチTFT-SD電極、30は保護層、31は有機樹脂層、32は蛍光体層である。なお、図13～図15におけるスイッチTFT駆動配線13、バイアス配線19、信号線20は、図12におけるスイッチTFTの駆動配線3、バイアス配線5、信号線4にそれぞれ対応する。

【0082】本実施形態では、スイッチTFT駆動配線13とバイアス配線19との交差部、及びスイッチTFT駆動配線13と信号線20との交差部は、第1の絶縁膜14、半導体層15、第2の絶縁膜16を介して構成されている。この結果、信号線の寄生容量であるC2容

量を15～20%程度低減でき、ICノイズ、信号線ノイズを単独で低減できる。

【0083】また、スイッチTFT部の半導体層15、特にスイッチTFT-SD電極21下の半導体層15が薄膜化されているため、従来、スイッチTFT-SD部極下に形成される直列抵抗がON抵抗を増大させていたが、スイッチTFT-SD電極下の半導体層15が薄膜化されることにより、TFT転送能力を向上でき、小型TFTの実現が可能となる。概略ではあるが、W/Lで半分に縮小可能である。このことは、PD部の開口率を向上でき、一方、信号変換素子の半導体層15を厚膜化できるため、信号成分を大きく改善できる。

【0084】更に、後述する製造方法からも明かな様にスイッチTFTのチャネル部が、真空を破らず形成されるため、従来のエッチャングにより形成されるスイッチTFTに比較して、TFT特性、即ち、閾値電圧、ON、OFF抵抗の均一性を向上できる。例えば、閾値電圧のバラツキが±1.5V以上あつたものが±1.0V程度に改善でき、その結果、ON/OFF電圧のマージンを低減でき、低消費電力化が可能となる。

【0085】次に、本実施形態の製造方法を図13～図15、図16～図17を参照して説明する。図16～図17は1画素の構成を示す。本実施形態では、以下の工程で製造を行う。

【0086】(1)まず、ガラス基板10上に第1の金属層として、Al-Nd薄膜2500Å、Mo薄膜300Åの積層膜をスパッタ装置により成膜する。

【0087】(2)ウエットエッチャングを用いたフォトリソグラフィー法によりスイッチTFT駆動配線13、スイッチTFT電極21、及びM.I.S型PD部の下電極11をパターン形成する。図16(a)はこの場合の模式的平面図を示す。

【0088】(3)第1の絶縁膜14としてSiN膜、半導体層15としてa-Si膜、第1の絶縁膜16としてSiN層をプラズマCVD装置により依次2500Å、8000Å、2000Å成膜する。

【0089】(4)RIE或いはCDEを用いたフォトリソグラフィー法によりスイッチTFTのチャネル部41、及びスイッチTFT駆動配線13とバイアス配線11の交差部42、及びM.I.S型PD部の下電極11とバイアス配線19の交差部43、及び20信号線とスイッチTFT駆動配線13の交差部45以外の第2の絶縁膜16を除去する。図16(b)はこの場合の模式的平面図を示す。

【0090】(5)RIE或いはCDEを用いたフォトリソグラフィー法により、スイッチTFT-SD電極21を包括した領域48の半導体層15を5000Å程度除去する。図16(c)はこの場合の模式的平面図を示す。この時、(4)の工程と(5)の工程を入れ替える事が可能である。このように工程を入れ替えると、最初

の(5)の工程では島状領域48の第2の絶縁膜を除去し、次の(4)の工程で各交差部42、43、45以外の第2の絶縁膜と島状領域48のa-Si層を除去する事になる。

【0091】(6)オーミックコンタクト層17として、n'層をプラズマCVD装置により1000Å成膜する。

【0092】(7)RIE或いはCDEを用いたフォトリソグラフィー法によりコンタクトホール18を形成する。図16(d)はこの場合の模式的平面図を示す。この時、コンタクトホール18は、良好なテーパー形状を実現するため、(4)の工程で第2の絶縁膜を除去し、(5)の工程でa-Si層の一部を除去し、結局、第1の絶縁膜、薄膜化されたa-Si層、n'層をエッチングする。

【0093】(8)第2の金属層として、Mo薄膜500Å、Al薄膜1μm、Mo薄膜300Åをスパッターライフにより成膜する。

【0094】(9)ウエットエッティングを用いたフォトリソグラフィー法により、バイアス配線19をパターン形成する。図17(a)はこの場合の模式的平面図を示す。この時、レジストパターンは、同時にスイッチTFT SD電極21、及び信号線20が形成される領域は、夫々のパターンを包括する島状領域46として残す。

【0095】(10)再度、ウエットエッティングを用いたフォトリソグラフィー法により、スイッチTFT SD電極21、信号線20をパターン形成する。引き続いて、同一レジストパターンでRIEを用いてn'膜を除去する。図17(b)はこの場合の模式的平面図を示す。この時、レジストパターンは、同時にMIS型PD部の上電極となる領域、及びバイアス線19を包括する島状領域47として残す。なお、(9)の工程と(10)の工程は、単純に入れ替えることが可能である。

【0096】(11)RIE或いはCDEを用いたフォトリソグラフィー法により、第1の絶縁膜14、a-Si層を除去し、素子間分離を行う。図17(c)はこの場合の模式的平面図を示す。この時、第1の絶縁膜14は必ずしも除去する必要はなく、a-Si層のみを除去するだけでも十分である。

【0097】(12)保護層30として、SiN膜2500ÅをプラズマCVD装置により成膜する。

【0098】(13)RIE或いはCDEを用いたフォトリソグラフィー法により、配線引き出し部等を露出させる。

【0099】(14)蛍光体層32を接着剤(有機樹脂層31)等で張り合わせる。以上により本実施形態の放射線検出装置が完成する。

【0100】(第5の実施形態)次に、本発明の第5の実施形態について説明する。第5の実施形態では、第4

の実施形態の製造方法を簡略化することが可能な形態について説明する。具体的には、第4の実施形態の(4)の工程と(5)の工程を同時に処理する事により製造工程を簡略化することが可能である。図18は本実施形態の模式的平面図を示す。なお、図18は1画素の構成を示す。図中1はMIS型PD部、2はスイッチTFT部、3はスイッチTFTの駆動配線、4は信号線、5はバイアス配線である。

【0101】図19は図18のA-A線における模式的断面図を示す。図中、10はガラス基板(絶縁基板)、11はMIS型PD部の下電極、12はスイッチTFTゲート電極、13はスイッチTFT駆動配線、14は第1の絶縁膜、15は半導体層、16は第2の絶縁膜、17はオーミックコンタクト、18はコンタクトホール、19はバイアス配線、20は信号線、21はスイッチTFT SD電極、30は保護層、31是有機樹脂層、32は蛍光体層である。なお、図19におけるスイッチTFT駆動配線13、バイアス配線19、信号線20は、図18におけるスイッチTFTの駆動配線3、バイアス配線5、信号線4にそれぞれ対応する。

【0102】ここで、図19から明らかのようにスイッチTFTのチャネル部において、第2の絶縁膜16と半導体層15の一部が、第4の実施形態の図13に示すように段差を有しておらず、同一マスクを用いて同一工程でエッティングされた形状を示している。これは、チャネル長を微細化する上では、重要な構造である。即ち、マスクの重ね合わせ精度に必要なマージンが削除できるためである。

【0103】次に、本実施形態の製造方法について説明する。まず、(1)の工程から(9)の工程は第4の実施形態と同様である。その後、RIE或いはCDEを用いたフォトリソグラフィー法により、スイッチTFT駆動配線13とバイアス配線19の交差部42、及びMIS型PD部の下電極11とバイアス配線19の交差部43、及び信号線20とスイッチTFT駆動配線13の交差部45以外の第2の絶縁膜を除去すると共に、スイッチTFT SD電極21を包括した島状領域48の半導体層15を5000Å程度除去する。

【0104】図20はこの場合の1画素の模式的平面図を示す。また、図21は図20のA-A線における模式的断面図を示す。なお、図21はRIE或いはCDE加工時の様子を示す。図中、51はレジストである。レジスト51としてはハーフトーンマスク或いはそれに類似したマスクが用いられ、膜厚T1、T2部を形成する。ドライエッティング中にレジストがT2分の隙間を起こすと、該当部分がエッティングし始めると。

【0105】即ち、膜厚T2部の第2の絶縁膜を除去する間に、レジスト開口部はT2膜より相当の時間でa-Si層がエッティングされる事になる。そこで、T2膜層をエッティング条件に合せて選択する事により所要のa-

S1層の除去膜厚を設計できる。その後、第4の実施形態の(6)の工程に戻り、以降は第4の実施形態と同様の処理を行う。この結果、第4の実施形態の(4)の工程と(5)の工程が一括処理で実現可能となり、工程数を削減でき、それに伴い歩留りを向上でき、低価格化をも達成できる。

【0106】(第6の実施形態)次に、本発明の第6の実施形態について説明する。第6の実施形態では、更に、感度向上を実現可能なMIS型PDを用いた放射線検出装置について説明する。図22は本実施形態の模式的平面図である。図22は1画素の構成を示す。図中1はMIS型PD部、2はスイッチTFT部、3はスイッチTFTの駆動配線、4は信号線、5はバイアス配線である。

【0107】図23は図22のA-A線における模式的断面図を示す。図中10はガラス基板(絶縁基板)、11はMIS型PD部の下電極、12はスイッチTFTゲート電極、14は第1の絶縁膜、15は半導体層、17はオーミックコンタクト層、18はコンタクトホール、19はバイアス配線、20は信号線、21はスイッチTFT SD電極、22は透明導電膜、30は保護層、31は有機樹脂層、32は螢光体層である。なお、図23におけるバイアス配線19、信号線20、図22におけるバイアス配線5、信号線4にそれぞれ対応する。

【0108】本実施形態では、スイッチTFT駆動配線13とバイアス配線19との交差部、及びスイッチTFT駆動配線13と信号線20との交差部は、第4の実施形態と同様に第1の絶縁膜14、半導体層15、第2の絶縁膜16を介して構成されている。この結果、信号線の寄生容量であるC2容量を15~20%程度低減でき、ICノイズ、信号線ノイズを単独で低減できる。

【0109】また、透明導電膜22をオーミックコンタクト層17上に形成しているので、オーミックコンタクト層17の機能であるホールブロッキング機能と電極機能を、夫々、n'膜と透明導電膜22に機能分離することができる。そのため、n'膜を薄膜化することが可能となり、オーミックコンタクト層17での光吸収を低減でき、信号成分の10%以上の向上、即ち、感度の向上を達成することができる。

【0110】また、スイッチTFT部の半導体層15、特に、スイッチTFT SD電極21下の半導体層15が薄膜化されているため、従来、スイッチTFT SD電極下に形成される直列抵抗がON抵抗を増大させていたが、スイッチTFT SD電極下の半導体層15が薄膜化されることにより、TFT転送能力を向上でき、小型TFTの実現が可能となる。概略ではあるが、W/Lで半分に縮小可能である。このことは、PD部の開口率を向上でき、一方、信号変換素子の半導体層を厚膜化することができるため、信号成分を大きく改善できる。

【0111】更に、スイッチTFTのチャネル部が、員

空を破らず形成されるため、従来のエッティングにより形成されるTFTに比較して、TFT特性、即ち、閾値電圧、ON、OFF抵抗の均一性を向上できる。例えば、閾値電圧のバラツキが±1.5V以上あったものが、±1.0V程度に改善でき、その結果、ON/OFF電圧のマージンを低減でき、低消費電力化が可能となる。

【0112】次に、本実施形態の製造方法を図23、図24、図16~図17を参照して説明する。本実施形態では、以下の工程で製造を行う。

10 【0113】(1)まず、ガラス基板10上に第1の金属層として、Al-Nd薄膜2500Å、Mo薄膜300Åの積層膜をスパッタ装置により成膜する。

【0114】(2)ウエットエッティングを用いたフォトリソグラフィー法により、スイッチTFT駆動配線13、スイッチTFTゲート電極12、及びMIS型PD部の下電極11をパターン形成する(図16(a)参照)。

【0115】(3)第1の絶縁膜14としてSiN層、半導体層15としてa-Si層、第2の絶縁膜16としてSiN層をプラズマCVD装置により、夫々2500Å、8000Å、2000Å成膜する。

【0116】(4)RIE或いはCDEを用いたフォトリソグラフィー法により、スイッチTFTのチャネル部41、及びスイッチTFT駆動配線13とバイアス配線19の交差部42、及びMIS型PD部の下電極11とバイアス配線19の交差部43、及び信号線20とスイッチTFT駆動配線13の交差部45以外の第2の絶縁膜を除去する(図16(b)参照)。

【0117】(5)RIE或いはCDEを用いたフォトリソグラフィー法により、スイッチTFT SD電極21を包括した領域48の半導体層15を500Å程度除去する(図16(c)参照)。この時、(4)の工程と(5)の工程を入れ替えるてもよい。このように工程を入れ替えると、最初の(5)の工程で島状領域48のn'層の絶縁膜を除去し、次の(4)の工程で各交差部42、43、45以外の第2の絶縁膜と島状領域48のa-Si層を除去する事になる。

【0118】(6)オーミックコンタクト層17として、n'層をプラズマCVD装置により300Å成膜する。

【0119】(7)RIE或いはCDEを用いたフォトリソグラフィー法によりコンタクトホール18を形成する(図16(d)参照)。この時、コンタクトホール18は、良好なテーパー形状を実現するため、(4)の工程で第2の絶縁膜を除去し、(5)の工程でa-Si層の一部を除去し、結果、第1の絶縁膜、薄膜化されたa-Si層、n'層をエッティングする。

【0120】(8)第2の金属層として、Mo薄膜500Å、Al薄膜1μm、Mo薄膜300Åをスパッタ装置により成膜する。

【0121】(9) ウエットエッティングを用いたフォトリソグラフィー法により、バイアス配線19をパターン形成する(図17(a)参照)。この時、レジストパターンは、同時にスイッチTFT SD電極21及び信号線20が形成される領域は夫々のパターンを包括する島状領域46として残す。

【0122】(10) MIS型PD部の上部電極として、ITO薄膜400Åをスパッタ装置により成膜する。

【0123】(11) ウエットエッティングを用いたフォトリソグラフィー法により、MIS型PD部の透明導電膜(上部電極)22を形成する。図24はこの場合の模式的平面図を示す。

【0124】(12) 再度、ウエットエッティングを用いたフォトリソグラフィー法により、スイッチTFT SD電極21、信号線20をパターン形成する。引き続いで、同一レジストパターンでRIEを用いてn'膜を除去する(図17(b)参照)。この時、レジストパターンは、同時にMIS型PDの上電極となる領域及びバイアス線19を包括する領域を島状領域47として残す。

【0125】(13) RIE或いはCDEを用いたフォトリソグラフィー法により、第1の絶縁膜、a-Si膜を除去し、素子間分離を行う(図17(c)参照)。この時、第1の絶縁膜は必ずしも除去する必要はなく、a-Si膜のみを除去するだけでも十分である。

【0126】(14) 保護層30として、SiN膜2500ÅをプラズマCVD装置により成膜する。

【0127】(15) RIE或いはCDEを用いたフォトリソグラフィー法により、配線引き出し部等を露出させること。

【0128】(16) 荧光体層32を接着剤(有機樹脂31)等で張り合わせる。以上により本実施形態の放電検出装置が完成する。

【0129】なお、本実施形態の製造方法は、以下のような様々な変形が可能である。例えば、(9)の工程に引き続いで(12)の工程、(10)の工程、(11)の工程の順に入れ替えることが原理的に可能である。また、この順、上述の順序において(9)の工程と(12)の工程を入れ替えることも可能である。

【0130】更に、(7)の工程に引き続いで(10)の工程、(11)の工程、(8)の工程、(9)の工程、(12)の工程の順にも入れ替えることもできる。この時、同様に(9)の工程と(12)の工程を入れ替えることも可能である。また、(6)の工程に引き続いで、(10)の工程、(11)の工程、更に、(7)の工程、(8)の工程、(9)の工程、(12)の工程の順に入れ替えることもできる。この時、同様に(9)の工程と(12)の工程を入れ替えることも可能である。

【0131】また、(8)の工程に引き続いで(9)の工程のバイアス配線19の形成と、(12)の工程のス

イッチTFT SD電極21の形成、信号線20の形成を一度に行い、その後、スイッチTFTのチャネル部のn'膜を除去し、その後、(10)の工程と(11)の工程を流動させる事により、同様に製造可能である。この時、(10)の工程、(11)の工程は、(8)の工程の前に処理する事も可能である。

【0132】上述の様に本実施形態は、製造装置及び製造プロセスの個性を考慮して、工程入れ替え等の変更が可能である。

【0133】

【発明の効果】以上説明したように本発明によれば、信号線とスイッチTFT駆動配線との配線交差部を第1の絶縁層、半導体層、第2の絶縁層の積層構造とすることにより、配線交差部で形成される寄生容量を低減でき、信号線ノイズ、ICノイズを低減できる。更にn'膜の機能であるホールプロッキング機能と電極機能を、又々、n'膜と透明導電膜に機能分離することにより、n'膜を薄膜化でき、光入射効率を向上できる。即ち、信号成分、ノイズ成分を夫々に影響を与えることなく、單純で向上でき、感度の向上を達成できる。

【0134】また、MIS型PDとスイッチTFTを第1の絶縁層、半導体層、第2の絶縁層の積層構造から、簡便に製造可能であり、特に、MIS型PDの半導体層とスイッチTFTの半導体層の膜厚をPD部は厚膜化でき、TFT部は薄膜化できるため、高感度なFPDを実現できる。更に、スイッチTFTは、チャネル部を安定に製造できるため、低価格、高歩留り、更には、低消費電力化FPDの実現に貢献した効果がある。

【図面の簡単な説明】

30 【図1】本発明の第1の実施形態を示す模式的平面図である。

【図2】図1のA-A線における模式的断面図である。

【図3】図1のB-B線における模式的断面図である。

【図4】図1のC-C線における模式的断面図である。

【図5】図1の実施形態の製造方法を説明する図である。

【図6】図1の実施形態の製造方法を説明する図である。

【図7】本発明の第2の実施形態の製造方法を説明するための図である。

【図8】図6のA-A線における模式的断面図である。

【図9】本発明の第3の実施形態を示す模式的平面図である。

【図10】図9のA-A線における模式的断面図である。

【図11】第3の実施形態の製造方法を説明するための図である。

【図12】本発明の第4の実施形態を示す模式的平面図である。

【図13】図12のA-A線における模式的断面図である。

21

る。

【図14】図12のB-B線における模式的断面図である。

【図15】図12のC-C線における模式的断面図である。

【図16】第4の実施形態の製造方法を説明する図である。

【図17】第4の実施形態の製造方法を説明する図である。

【図18】本発明の第5の実施形態を示す模式的平面図である。

【図19】図18のA-A線における模式的断面図である。

【図20】第5の実施形態の製造方法を説明するための図である。

【図21】図20のA-A線における模式的断面図である。

【図22】本発明の第6の実施形態を示す模式的断面図である。

【図23】図22のA-A線における模式的断面図である。

【図24】第6の実施形態の製造方法を説明するための図である。

【図25】従来のFPDを示す等価回路図である。

【図26】従来のMIS型PDを用いた場合の1画素の模式的平面図である。

【図27】図26の模式的断面図である。

【図28】従来のMIS型PDを用いた場合の1ピットの等価回路図である。

【符号の説明】

1 MIS型PD部

2 スイッチTFT部

3 スイッチTFTの駆動配線

4 信号線

5 バイアス配線

10 ガラス基板

11 MIS型PDの下電極

12 スイッチTFTゲート電極

13 スイッチTFT駆動配線

14 第1の絶縁膜

15 半導体層

16 第2の絶縁膜

17 オミックコンタクト層

18 コンタクトホール

19 バイアス配線

20 信号線

21 スイッチTFT SD電極

22 透明導電膜

30 保護層

31 有機樹脂層

32 蛍光体層

41 スイッチTFTチャネル部

42 スイッチTFT駆動配線とバイアス配線の交差部

43 MIS型PDの下電極とバイアス配線の交差部

44 信号線部

45 信号線とスイッチTFT駆動配線の交差部

46 スイッチTFT SD電極と信号線の領域

47 バイアス配線とMIS型PDの上電極部の領域

48 スイッチTFT SD電極の領域

51 レジスト

101 光電交換素子部

102 スイッチTFT部

103 スイッチTFT駆動配線

104 信号線

105 バイアス配線

106 信号処理回路

107 TFT駆動回路

108 A/D変換部

30 C1 MIS型PDの合成容量

C2 信号線に形成される寄生容量

Vs センサバイアス電位

Vr センサリセット電位

SW1 MIS型PDのVs/Vr切り替えスイッチ

SW2 転送TFTのON/OFF切り替えスイッチ

SW3 信号線リセットスイッチ

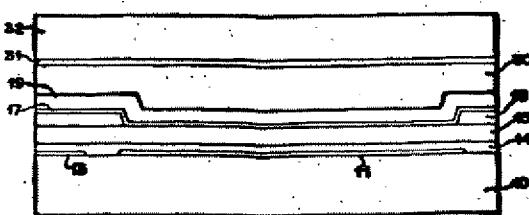
Vout 出力電圧

Vt 電位差

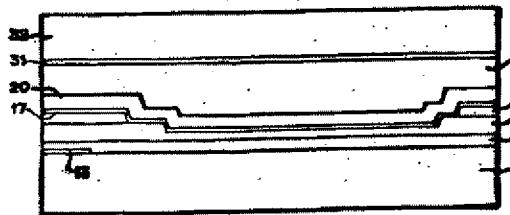
T1, T2 レジスト膜厚

40

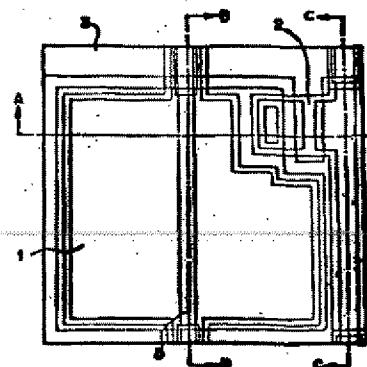
【図3】



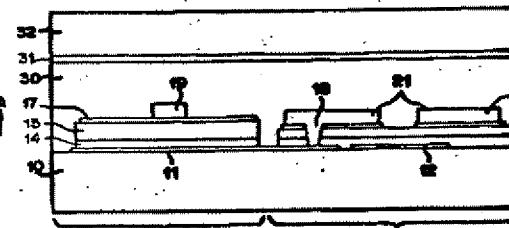
【図4】



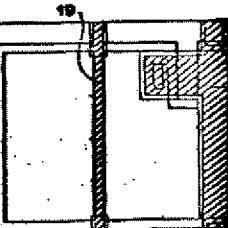
【図1】



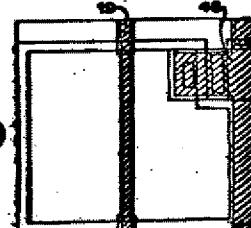
【図2】



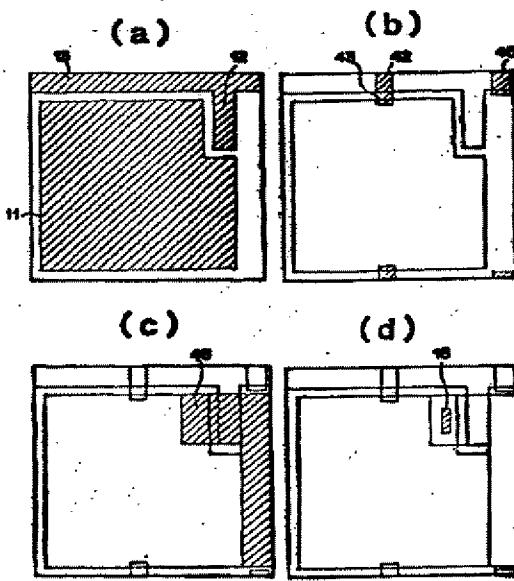
【図6】



【図17】



【図5】



(a)

(b)

(c)

(d)

(a)

(b)

(c)

(d)

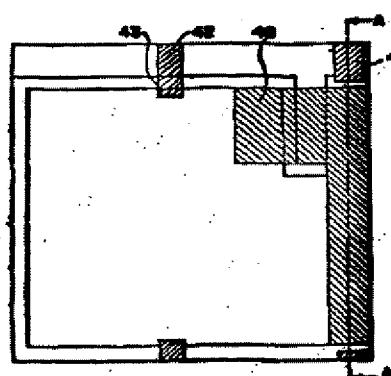
(a)

(b)

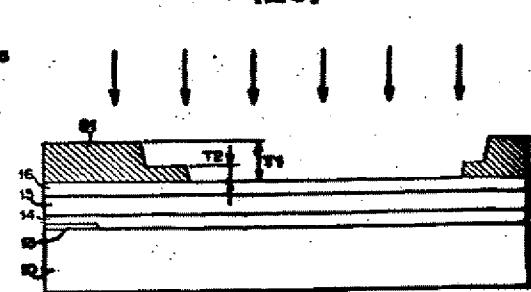
(c)

(d)

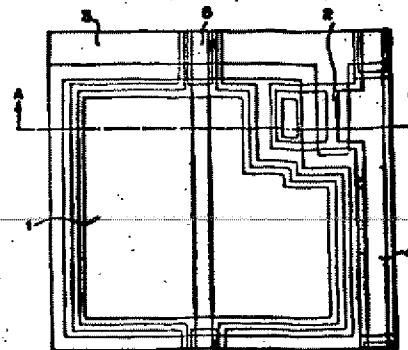
【図7】



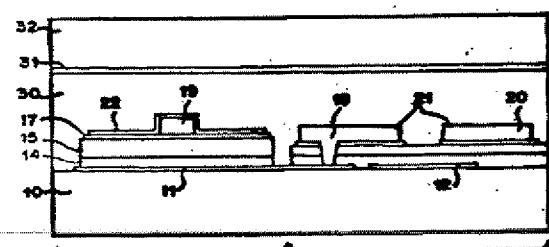
【図8】



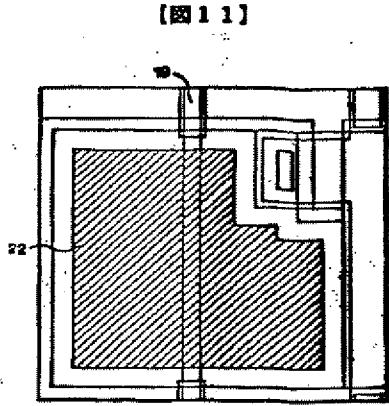
【図9】



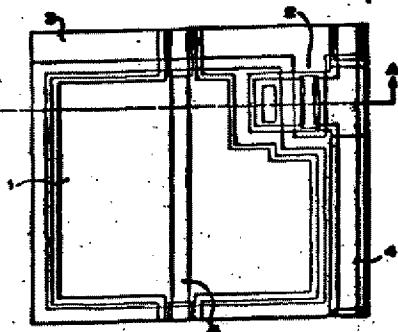
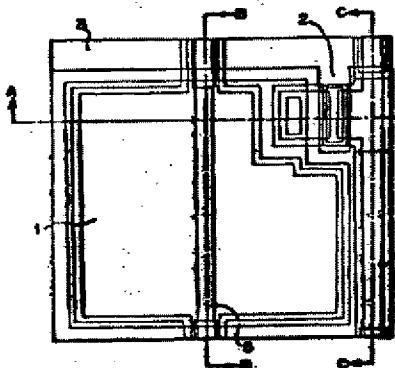
【図10】



【図11】

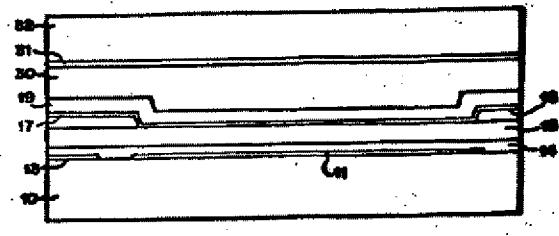


【図12】

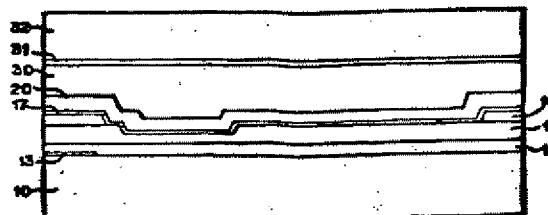


【図13】

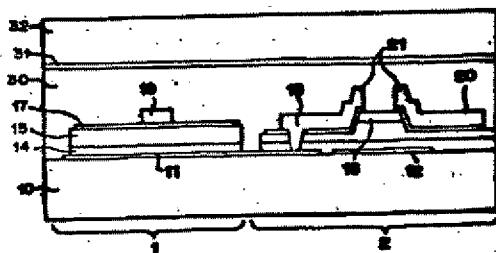
【図14】



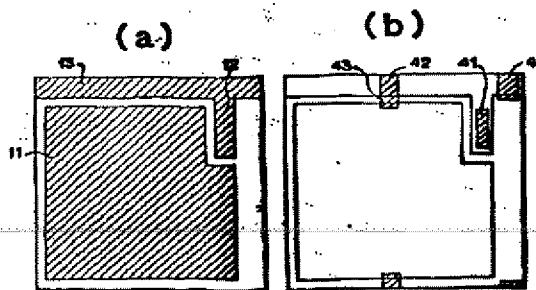
【図15】



【図16】



[図16]

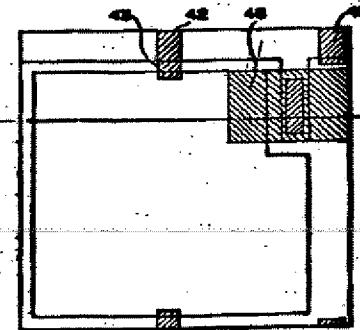


(c)

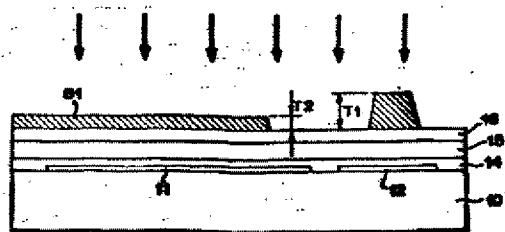
(b)

(d)

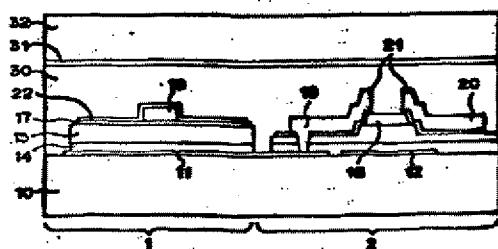
[図20]



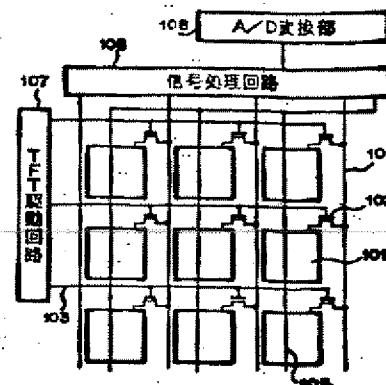
[図21]



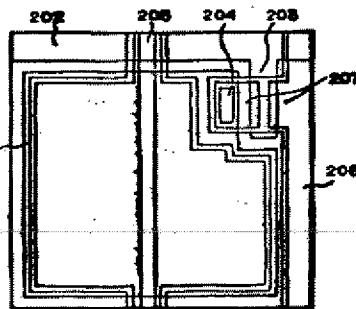
[図23]



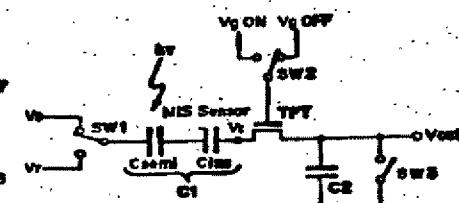
【図25】



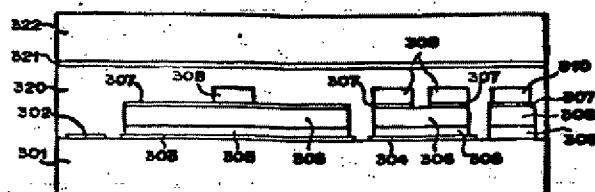
【図26】



【図28】



【図27】



フロントページの読み

(51) Int. Cl.
 H 01 L 31/09
 31/10
 H 04 N 5/22
 5/235

識別記号

FI
 H 01 L 31/10
 31/09
 29/78

マーク(参考)
 A-SF110
 A
 612D

Fターム(参考) 2G088 EE01 EE29 FF02 FF04 GG19
JJ05 JJ32 JJ33 JJ37 LL11
LL12 LL15
4M118 AB01 BA05 CA02 FB03 FB13
FB16
5C024 AX12 AX16 CX03 CY47 GX03
5F049 MA01 MB05 NA01 NA04 NA15
NB05 RA04 RA08 SS01 SZ20
UA01 UA07 UA14 WA07
5F088 AA01 AB05 BA01 BA03 BB03
BB07 EA04 EA08 EA14 EA16
CA02 HA15 HA20 KA03 KA08
KA10 LA07
5F110 AA30 BB09 CC07 DD02 EE04
EE06 EE14 FF03 FF30 GG02
GG15 GG24 GG45 HK03 HK04
HK09 HK22 HK33 HK35 NN04
NN24 NN35 NN71

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.